

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2000-195966

(43) Date of publication of application : 14.07.2000

(51) Int.CI.

H01L 21/8234
H01L 27/088

(21) Application number : 10-370113

(71) Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22) Date of filing : 25.12.1998

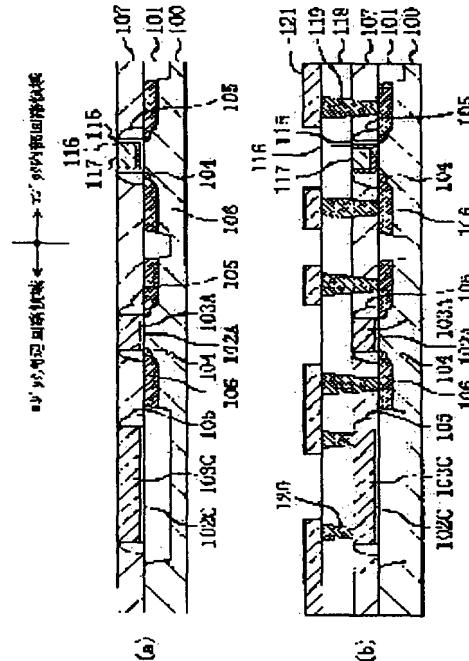
(72) Inventor : MORIWAKI SUSUMU
YAMADA TAKAYUKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57) Abstract:

PROBLEM TO BE SOLVED: To improve reliability of first and second gate insulating films, each having a different film thickness.

SOLUTION: In the peripheral circuit region of the logic circuit on a semiconductor substrate 100, a first MOSFET is provided having a first gate insulating film 102A, comprising a first silicon oxide film with a relatively larger film thickness and a first gate electrode 103A comprising a polycrystalline silicon film. In the inner circuit region of the logic circuit on the semiconductor substrate 100, there is provided a second MOSFET having a second gate insulating film 115 comprising a second silicon oxide film with a relatively small film thickness, a barrier metal 116 comprising a first metal film and a second gate electrode 117 comprising a second metal film.



[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3023355

[Date of registration] 14.01.2000

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-195966

(P2000-195966A)

(43)公開日 平成12年7月14日 (2000.7.14)

(51)Int.Cl.⁷

H 0 1 L 21/8234
27/088

識別記号

F I

H 0 1 L 27/08

テマコード(参考)

1 0 2 C 5 F 0 4 8

審査請求 有 請求項の数16 O L (全 17 頁)

(21)出願番号 特願平10-370113

(22)出願日 平成10年12月25日 (1998.12.25)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 森脇 將

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 山田 隆順

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外1名)

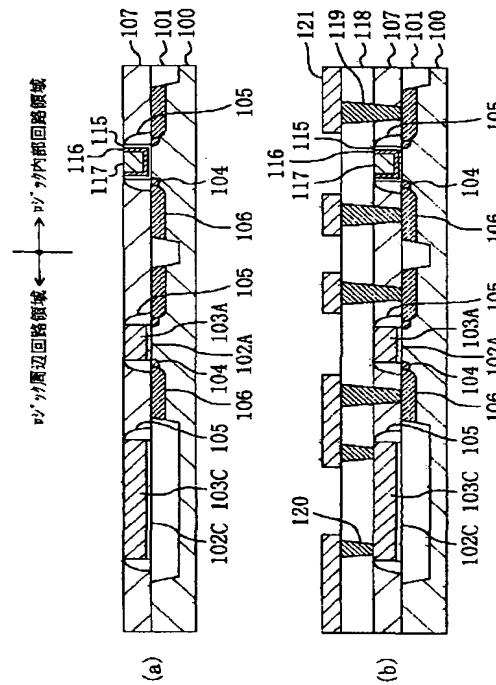
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 互いに異なる膜厚を持つ第1のゲート絶縁膜及び第2のゲート絶縁膜の信頼性を向上する。

【解決手段】 半導体基板100のロジック周回路領域においては、相対的に大きい膜厚を持つ第1のシリコン酸化膜からなる第1のゲート絶縁膜102Aと、多結晶シリコン膜からなる第1のゲート電極103Aとを有する第1のMOSFETが設けられている。半導体基板100のロジック内部回路領域においては、相対的に小さい膜厚を持つ第2のシリコン酸化膜からなる第2のゲート絶縁膜115と、第1の金属膜からなるバリアメタル116と、第2の金属膜からなる第2のゲート電極117とを有する第2のMOSFETが設けられている。



1

【特許請求の範囲】

【請求項 1】 半導体基板上に形成された相対的に大きい膜厚を持つ第1のゲート絶縁膜と、該第1のゲート絶縁膜の上に形成された多結晶シリコン膜からなる第1のゲート電極とを有する第1のMOSFETと、前記半導体基板上に形成された相対的に小さい膜厚を持つ第2のゲート絶縁膜と、該第2のゲート絶縁膜の上に形成された、高融点金属又は高融点金属の化合物よりなる金属膜からなる第2のゲート電極とを有する第2のMOSFETとを備えていることを特徴とする半導体装置。

【請求項 2】 前記第1のMOSFETは、前記半導体基板におけるロジック回路の周辺回路領域に形成されており、

前記第2のMOSFETは、前記半導体基板におけるロジック回路の内部回路領域に形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項 3】 前記第1のMOSFETは、前記半導体基板におけるメモリセル領域に形成されており、

前記第2のMOSFETは、前記半導体基板におけるロジック回路領域に形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項 4】 前記第1のゲート電極を構成する多結晶シリコン膜と同一の工程で形成された多結晶シリコン膜からなる抵抗体をさらに備えていることを特徴とする請求項1に記載の半導体装置。

【請求項 5】 前記第1のゲート絶縁膜はシリコン酸化膜からなると共に、前記第2のゲート絶縁膜はシリコン窒化酸化膜からなることを特徴とする請求項1に記載の半導体装置。

【請求項 6】 半導体基板上に形成された相対的に大きい膜厚を持つ第1のゲート絶縁膜と、該第1のゲート絶縁膜の上に形成された、下層の多結晶シリコン膜と、高融点金属又は高融点金属の化合物よりなる上層の金属膜との積層体からなる第1のゲート電極とを有する第1のMOSFETと、

前記半導体基板上に形成された相対的に小さい膜厚を持つ第2のゲート絶縁膜と、該第2のゲート絶縁膜の上に形成された、高融点金属又は高融点金属の化合物よりなる金属膜からなる第2のゲート電極とを有する第2のMOSFETとを備えていることを特徴とする半導体装置。

【請求項 7】 前記第1のMOSFETは、前記半導体基板におけるメモリセル領域に形成されており、前記第2のMOSFETは、前記半導体基板におけるロジック回路に形成されていることを特徴とする請求項6に記載の半導体装置。

【請求項 8】 半導体基板上に、相対的に大きい膜厚を持つ第1の絶縁膜、及び多結晶シリコン膜を順次形成する第1の膜形成工程と、

10

20

30

40

50

2

前記多結晶シリコン膜及び第1の絶縁膜をパターニングして、前記第1の絶縁膜からなる第1のMOSFETの第1のゲート絶縁膜及びダミーゲート絶縁膜、並びに前記多結晶シリコン膜からなる第1のMOSFETの第1のゲート電極及びダミーゲート電極を形成するパターニング工程と、

前記第1のゲート電極及びダミーゲート電極にそれぞれサイドウォールを形成するサイドウォール形成工程と、前記半導体基板の上に全面に亘って層間絶縁膜を堆積した後、該層間絶縁膜における前記第1のゲート電極及びダミーゲート電極の上側の部分を除去して、前記第1のゲート電極及びダミーゲート電極を露出させる絶縁膜除去工程と、

前記層間絶縁膜の上に、前記第1のゲート電極を覆う一方、前記ダミーゲート電極を露出させるマスクパターンを形成した後、該マスクパターンを用いてエッチングすることにより、前記ダミーゲート電極及びダミーゲート絶縁膜を除去して前記ダミーゲート電極のサイドウォールの内側に凹部を形成するエッチング工程と、

前記半導体基板の上に全面に亘って、相対的に小さい膜厚を持つ第2の絶縁膜、及び高融点金属又は高融点金属の化合物よりなる金属膜を、前記凹部が充填されるように順次形成する第2の膜形成工程と、

前記マスクパターン、第2の絶縁膜及び金属膜における前記凹部の外側の部分を除去することにより、前記第2の絶縁膜からなる第2のMOSFETの第2のゲート絶縁膜及び前記金属膜からなる第2のMOSFETの第2のゲート電極を形成する膜除去工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 9】 前記パターニング工程は、前記第1のゲート絶縁膜及び第1のゲート電極を前記半導体基板におけるロジック回路の周辺回路領域に形成すると共に、前記ダミー絶縁膜及びダミーゲート電極を前記半導体基板におけるロジック回路の内部回路領域に形成する工程を含むことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項 10】 前記パターニング工程は、前記第1のゲート絶縁膜及び第1のゲート電極を前記半導体基板におけるメモリセル領域に形成すると共に、前記ダミー絶縁膜及びダミーゲート電極を前記半導体基板におけるロジック回路領域に形成する工程を含むことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項 11】 前記パターニング工程は、前記多結晶シリコン膜及び第1の絶縁膜をパターニングして、前記第1の絶縁膜からなる抵抗絶縁膜及び前記多結晶シリコン膜からなる抵抗体を形成する工程を含むことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項 12】 前記第1の膜形成工程は、前記第1の絶縁膜としてシリコン酸化膜を形成する工程と含み、前記第2の膜形成工程は、前記第2の絶縁膜としてシリ

コン窒化酸化膜を形成する工程を含むことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項13】前記エッチング工程は、ウェットエッチングにより前記ダミーゲート電極及びダミーゲート絶縁膜を除去する工程を含むことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項14】半導体基板上に、相対的に大きい膜厚を持つ第1の絶縁膜、及び多結晶シリコン膜を順次形成する第1の膜形成工程と、

前記多結晶シリコン膜及び第1の絶縁膜をパターニングして、前記第1の絶縁膜からなるフラッシュメモリの第1層のゲート絶縁膜及びダミーゲート絶縁膜、並びに前記多結晶シリコン膜からなるフラッシュメモリの浮遊ゲート電極及びダミーゲート電極を形成する第1のパターニング工程と、¹⁰

前記浮遊ゲート電極及びダミーゲート電極にそれぞれサイドウォールを形成するサイドウォール形成工程と、前記半導体基板の上に全面に亘って層間絶縁膜を堆積した後、該層間絶縁膜における前記浮遊ゲート電極及びダミーゲート電極の上側の部分を除去して、前記浮遊ゲート電極及びダミーゲート電極を露出させる絶縁膜除去工程と、²⁰

前記層間絶縁膜の上に、前記浮遊ゲート電極を覆う一方、前記ダミーゲート電極を露出させる第2の絶縁膜を形成した後、該第2の絶縁膜を用いてエッチングを行うことにより、前記ダミーゲート電極及びダミーゲート絶縁膜を除去して前記ダミーゲート電極のサイドウォールの内側に凹部を形成するエッチング工程と、³⁰

前記半導体基板の上に全面に亘って、相対的に小さい膜厚を持つ第3の絶縁膜、及び高融点金属又は高融点金属の化合物よりなる金属膜を、前記凹部が充填されるように順次形成する第2の膜形成工程と、前記第2の絶縁膜、第3の絶縁膜及び金属膜をパターニングすることにより、前記第2の絶縁膜及び第3の絶縁膜からなるフラッシュメモリの第2層のゲート絶縁膜、前記第3の絶縁膜からなるMOSFETのゲート絶縁膜、前記金属膜からなるフラッシュメモリの制御電極、並びに前記金属膜からなるMOSFETのゲート電極をそれぞれ形成する第2のパターニング工程とを備えていることを特徴とする半導体装置の製造方法。⁴⁰

【請求項15】前記エッチング工程は、前記ダミーゲート電極及びダミーゲート絶縁膜をウェットエッチングにより除去する工程を含むことを特徴とする請求項14に記載の半導体装置の製造方法。

【請求項16】前記第1のパターニング工程は、前記多結晶シリコン膜及び第1の絶縁膜をパターニングして、前記第1の絶縁膜からなる容量素子絶縁膜及び前記多結晶シリコン膜からなる容量下部電極を形成する工程を含み、⁵⁰

前記第2のパターニング工程は、前記第2の絶縁膜、第

3の絶縁膜及び金属膜をパターニングして、前記第2の絶縁膜及び第3の絶縁膜からなる容量絶縁膜及び前記金属膜からなる容量上部電極を形成する工程を含むことを特徴とする請求項14に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、互いに異なる膜厚を持つゲート絶縁膜を有するMOSFETを備えた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年の半導体集積回路装置における高速化に対応するため、MOSFETのゲート絶縁膜の薄膜化が進められている。

【0003】また、半導体集積回路装置の低消費電力化を図るために、半導体集積回路のロジック回路においては駆動電圧の低電圧化が進められているが、入出力を行なうロジック回路の周辺回路においては、外部から入力される電圧によってMOSFETを駆動させる必要がある。このため、ロジック回路の周辺回路に設けられているトランジスタにおいては耐圧を維持するため、ロジック回路の内部回路に設けられているトランジスタに比べて膜厚の大きいゲート絶縁膜が用いられる。

【0004】以下、図10(a)～(c)を参照しながら、膜厚が互いに異なるゲート絶縁膜を有するMOSFETの製造方法について説明する。

【0005】まず、図10(a)に示すように、シリコンからなる半導体基板10の上に素子分離領域11を形成した後、半導体基板10の上に全面に亘ってゲート絶縁膜となる例えば4nmの膜厚を有する第1のシリコン酸化膜12aを形成する。その後、第1のシリコン酸化膜12aの上におけるロジック回路の周辺回路領域にレジストパターン13を形成した後、該レジストパターン13をマスクとして第1のシリコン酸化膜12aに対して、例えばフッ酸を用いるウェットエッチングを行なって、第1のシリコン酸化膜12aにおけるロジック回路の内部回路領域を除去する。

【0006】次に、図10(b)に示すように、半導体基板10の上に全面に亘って例えば3nmの膜厚を有する第2のシリコン酸化膜12bを形成する。

【0007】次に、図10(c)に示すように、ロジック回路の内部回路領域に、第2のシリコン酸化膜12bからなる第1のゲート絶縁膜14A及び多結晶シリコン膜からなる第1のゲート電極15Aを形成すると共に、ロジック回路の周辺回路領域に、第1のシリコン酸化膜12a及び第2のシリコン酸化膜12bからなる第2のゲート絶縁膜14B及び多結晶シリコン膜からなる第2のゲート電極15Bを形成する。

【0008】次に、第1のゲート電極15A及び第2のゲート電極15Bをマスクとして不純物の注入を行なって低濃度不純物領域16を形成した後、第1のゲート電

極15A及び第2のゲート電極15Bにサイドウォール17を形成し、その後、第1のゲート電極15A及び第2のゲート電極15Bとサイドウォール17とをマスクとして不純物の注入を行なって高濃度不純物領域17を形成する。

【0009】このようにすると、ロジック回路の内部回路領域においては、第2のシリコン酸化膜12bからなる3nmの膜厚を持つ第1のゲート絶縁膜14Aを有する第1のMOSFETが得られると共に、ロジック回路の周辺回路領域においては、第1のシリコン酸化膜12a及び第2のシリコン酸化膜12bからなる7nmの膜厚を持つ第2のゲート絶縁膜14Bを有する第2のMOSFETが得られる。

【0010】

【発明が解決しようとする課題】ところが、前記従来の半導体装置の製造方法によると、ロジック回路の周辺回路に形成される第2のゲート絶縁膜14Bは、2回に分けて形成されるため、1回の酸化工程で得られるゲート酸化膜と同等の寿命を維持することが困難であるという問題がある。すなわち、第2のゲート絶縁膜14Bを構成する第2のシリコン酸化膜12bは、レジストパターン13が除去された後の第1のシリコン酸化膜12aの上に形成されるため、第1のシリコン酸化膜12aの表面はレジストパターン13を除去する工程において、汚染又は損傷を受けているので、第2のゲート絶縁膜14Bの信頼性が劣化するからである。

【0011】前記に鑑み、本発明は、互いに異なる膜厚を持つ第1のゲート絶縁膜及び第2のゲート絶縁膜の信頼性を向上することを目的とする。

【0012】

【課題を解決するための手段】前記の目的を達成するため、本発明に係る第1の半導体装置は、半導体基板上に形成された相対的に大きい膜厚を持つ第1のゲート絶縁膜と、該第1のゲート絶縁膜の上に形成された多結晶シリコン膜からなる第1のゲート電極とを有する第1のMOSFETと、半導体基板上に形成された相対的に小さい膜厚を持つ第2のゲート絶縁膜と、該第2のゲート絶縁膜の上に形成された、高融点金属又は高融点金属の化合物よりなる金属膜からなる第2のゲート電極とを有する第2のMOSFETとを備えている。

【0013】第1の半導体装置によると、第1のMOSFETにおいては、第1のゲート絶縁膜の膜厚が相対的に大きいため、高い電圧による駆動が可能になる。

【0014】また、第2のMOSFETにおいては、第2のゲート絶縁膜の膜厚が相対的に小さいため、低い電圧による駆動が実現できるので、低消費電力化を図ることができると共に、第2のゲート電極が高融点金属又は高融点金属の化合物よりなる金属膜からなるため、第2のゲート電極の空乏化を防止できるので、第2のMOSFETの性能が向上する。

10

20

30

40

50

【0015】第1の半導体装置において、第1のMOSFETは、半導体基板におけるロジック回路の周辺回路領域に形成されており、第2のMOSFETは、半導体基板におけるロジック回路の内部回路領域に形成されていることが好ましい。

【0016】第1の半導体装置において、第1のMOSFETは、半導体基板におけるメモリセル領域に形成されており、第2のMOSFETは、半導体基板におけるロジック回路領域に形成されていることが好ましい。

【0017】第1の半導体装置において、第1のゲート電極を構成する多結晶シリコン膜と同一の工程で形成された多結晶シリコン膜からなる抵抗体をさらに備えていることが好ましい。

【0018】第1の半導体装置において、第1のゲート絶縁膜はシリコン酸化膜からなると共に、第2のゲート絶縁膜はシリコン窒化酸化膜からなることが好ましい。

【0019】本発明に係る第2の半導体装置は、半導体基板上に形成された相対的に大きい膜厚を持つ第1のゲート絶縁膜と、該第1のゲート絶縁膜の上に形成された、下層の多結晶シリコン膜と、高融点金属又は高融点金属の化合物よりなる上層の金属膜との積層体からなる第1のゲート電極とを有する第1のMOSFETと、半導体基板上に形成された相対的に小さい膜厚を持つ第2のゲート絶縁膜と、該第2のゲート絶縁膜の上に形成された、高融点金属又は高融点金属の化合物よりなる金属膜からなる第2のゲート電極とを有する第2のMOSFETとを備えている。

【0020】第2の半導体装置によると、第1のMOSFETにおいては、第1のゲート絶縁膜の膜厚が相対的に大きいと共に、第1のゲート電極が多結晶シリコン膜と金属膜との積層体からなるため、ゲート電極の低抵抗化及び高耐圧化を実現することができる。

【0021】また、第2のMOSFETにおいては、第2のゲート絶縁膜の膜厚が相対的に小さいため、低い電圧による駆動が実現できるので、低消費電力化を図ることができる。第2のゲート電極が高融点金属又は高融点金属の化合物よりなる金属膜からなるため、第2のゲート電極の空乏化が防止できるので、第2のMOSFETの高性能化を図ることができる。

【0022】第2の半導体装置において、第1のMOSFETは、半導体基板におけるメモリセル領域に形成されており、第2のMOSFETは、半導体基板におけるロジック回路に形成されていることが好ましい。

【0023】本発明に係る第1の半導体装置の製造方法は、半導体基板上に、相対的に大きい膜厚を持つ第1の絶縁膜、及び多結晶シリコン膜を順次形成する第1の膜形成工程と、多結晶シリコン膜及び第1の絶縁膜をパターニングして、第1の絶縁膜からなる第1のMOSFETの第1のゲート絶縁膜及びダミーゲート絶縁膜、並びに多結晶シリコン膜からなる第1のMOSFETの第1

のゲート電極及びダミーゲート電極を形成するパターニング工程と、第1のゲート電極及びダミーゲート電極にそれぞれサイドウォールを形成するサイドウォール形成工程と、半導体基板の上に全面に亘って層間絶縁膜を堆積した後、該層間絶縁膜における第1のゲート電極及びダミーゲート電極の上側の部分を除去して、第1のゲート電極及びダミーゲート電極を露出させる絶縁膜除去工程と、層間絶縁膜の上に、第1のゲート電極を覆う一方、ダミーゲート電極を露出させるマスクパターンを形成した後、該マスクパターンを用いてエッチングすることにより、ダミーゲート電極及びダミーゲート絶縁膜を除去してダミーゲート電極のサイドウォールの内側に凹部を形成するエッチング工程と、半導体基板の上に全面に亘って、相対的に小さい膜厚を持つ第2の絶縁膜、及び高融点金属又は高融点金属の化合物よりなる金属膜を、凹部が充填されるように順次形成する第2の膜形成工程と、マスクパターン、第2の絶縁膜及び金属膜における凹部の外側の部分を除去することにより、第2の絶縁膜からなる第2のMOSFETの第2のゲート絶縁膜及び金属膜からなる第2のMOSFETの第2のゲート電極を形成する膜除去工程とを備えている。

【0024】第1の半導体装置の製造方法によると、多結晶シリコン膜及び相対的に大きい膜厚を持つ第1の絶縁膜をパターニングして、第1の絶縁膜からなる第1のMOSFETの第1のゲート絶縁膜及び多結晶シリコン膜からなる第1のMOSFETの第1のゲート電極を形成するため、相対的に大きい膜厚を持つ第1のゲート絶縁膜及び多結晶シリコン膜からなる第1のゲート電極を有する第1のMOSFETを形成することができる。

【0025】また、ダミーゲート電極及びダミーゲート絶縁膜が除去された跡に形成される凹部に、相対的に小さい膜厚を持つ第2の絶縁膜及び金属膜を充填して、第2の絶縁膜からなる第2のMOSFETの第2のゲート絶縁膜及び金属膜からなる第2のMOSFETの第2のゲート電極を形成するため、相対的に小さい膜厚を持つ第2のゲート絶縁膜及び金属膜からなる第2のゲート電極を有する第2のMOSFETを形成することができる。

【0026】第1の半導体装置の製造方法において、パターニング工程は、第1のゲート絶縁膜及び第1のゲート電極を半導体基板におけるロジック回路の周辺回路領域に形成すると共に、ダミー絶縁膜及びダミーゲート電極を半導体基板におけるロジック回路の内部回路領域に形成する工程を含むことが好ましい。

【0027】第1の半導体装置の製造方法において、パターニング工程は、第1のゲート絶縁膜及び第1のゲート電極を半導体基板におけるメモリセル領域に形成すると共に、ダミー絶縁膜及びダミーゲート電極を半導体基板におけるロジック回路領域に形成する工程を含むことが好ましい。

【0028】第1の半導体装置の製造方法において、パターニング工程は、多結晶シリコン膜及び第1の絶縁膜をパターニングして、第1の絶縁膜からなる抵抗絶縁膜及び多結晶シリコン膜からなる抵抗体を形成する工程を含むことが好ましい。

【0029】第1の半導体装置の製造方法において、第1の膜形成工程は、第1の絶縁膜としてシリコン酸化膜を形成する工程と含み、第2の膜形成工程は、第2の絶縁膜としてシリコン窒化酸化膜を形成する工程を含むことが好ましい。

【0030】第1の半導体装置の製造方法において、エッチング工程は、ウェットエッチングによりダミーゲート電極及びダミーゲート絶縁膜を除去する工程を含むことが好ましい。

【0031】本発明に係る第2の半導体装置の製造方法は、半導体基板上に、相対的に大きい膜厚を持つ第1の絶縁膜、及び多結晶シリコン膜を順次形成する第1の膜形成工程と、多結晶シリコン膜及び第1の絶縁膜をパターニングして、第1の絶縁膜からなるフラッシュメモリの第1層のゲート絶縁膜及びダミーゲート絶縁膜、並びに多結晶シリコン膜からなるフラッシュメモリの浮遊ゲート電極及びダミーゲート電極を形成する第1のパターニング工程と、浮遊ゲート電極及びダミーゲート電極にそれぞれサイドウォールを形成するサイドウォール形成工程と、半導体基板の上に全面に亘って層間絶縁膜を堆積した後、該層間絶縁膜における浮遊ゲート電極及びダミーゲート電極の上側の部分を除去して、浮遊ゲート電極及びダミーゲート電極を露出させる絶縁膜除去工程と、層間絶縁膜の上に、浮遊ゲート電極を覆う一方、ダミーゲート電極を露出させる第2の絶縁膜を形成した後、該第2の絶縁膜を用いてエッチングを行なうことにより、ダミーゲート電極及びダミーゲート絶縁膜を除去してダミーゲート電極のサイドウォールの内側に凹部を形成するエッチング工程と、半導体基板の上に全面に亘って、相対的に小さい膜厚を持つ第3の絶縁膜、及び高融点金属又は高融点金属の化合物よりなる金属膜を、凹部が充填されるように順次形成する第2の膜形成工程と、第2の絶縁膜、第3の絶縁膜及び金属膜をパターニングすることにより、第2の絶縁膜及び第3の絶縁膜からなるフラッシュメモリの第2層のゲート絶縁膜、第3の絶縁膜からなるMOSFETのゲート絶縁膜、金属膜からなるフラッシュメモリの制御電極、並びに金属膜からなるMOSFETのゲート電極をそれぞれ形成する第2のパターニング工程とを備えている。

【0032】第2の半導体装置の製造方法によると、第1のパターニング工程において、相対的に大きい膜厚を持つ第1の絶縁膜をパターニングして、フラッシュメモリの第1層のゲート絶縁膜を形成すると共に、第2のパターニング工程において、第2の絶縁膜及び第3の絶縁膜をパターニングして、フラッシュメモリの第2層のゲ

ート絶縁膜を形成するため、つまり、第1層のゲート絶縁膜及び第2層のゲート絶縁膜の膜厚を確保できるため、フラッシュメモリの信頼性が向上する。

【0033】また、ダミーゲート電極及びダミーゲート絶縁膜が除去された跡に形成される凹部に、相対的に小さい膜厚を持つ第3の絶縁膜及び金属膜を充填して、第3の絶縁膜からなるMOSFETのゲート絶縁膜及び金属膜からなるMOSFETのゲート電極を形成するため、相対的に小さい膜厚を持つゲート絶縁膜及び金属膜からなるゲート電極を有する信頼性の高いMOSFETを形成することができる。

【0034】第2の半導体装置の製造方法において、エッ칭工程は、ダミーゲート電極及びダミーゲート絶縁膜をウェットエッ칭により除去する工程を含むことが好ましい。

【0035】第2の半導体装置の製造方法において、第1のパターニング工程は、多結晶シリコン膜及び第1の絶縁膜をパターニングして、第1の絶縁膜からなる容量素子絶縁膜及び多結晶シリコン膜からなる容量下部電極を形成する工程を含み、第2のパターニング工程は、第2の絶縁膜、第3の絶縁膜及び金属膜をパターニングして、第2の絶縁膜及び第3の絶縁膜からなる容量絶縁膜及び金属膜からなる容量上部電極を形成する工程を含むことが好ましい。

【0036】

【発明の実施の形態】（第1の実施形態）以下、本発明の第1の実施形態に係る半導体装置の製造方法として、ロジック回路において入出力等を行なうロジック周辺回路領域に第1のMOSFET及び抵抗体を形成すると共に、ロジック回路において演算などを行なうロジック内部回路領域に第2のMOSFETを形成する方法について図1～図3を参照しながら説明する。

【0037】まず、図1（a）に示すように、シリコンからなる半導体基板100の表面部に素子分離領域101を形成した後、半導体基板100の上に全面に亘って、例えば7nmの膜厚を持つ第1のシリコン酸化膜、及び不純物がドーピングされた例えば120nmの膜厚を持つ多結晶シリコン膜を順次形成した後、これら多結晶シリコン膜及び第1のシリコン酸化膜を順次パターニングして、ロジック周辺回路領域のMOSFET形成領域に、第1のシリコン酸化膜からなる第1のゲート絶縁膜102A及び多結晶シリコン膜からなる第1のゲート電極103Aを形成し、ロジック内部回路領域に、第1のシリコン酸化膜からなるダミーゲート絶縁膜102B及び多結晶シリコン膜からなるダミーゲート電極103Bを形成し、ロジック周辺回路領域の抵抗体形成領域に、第1のシリコン酸化膜からなる抵抗絶縁膜102C及び多結晶シリコン膜からなる抵抗体103Cを形成する。

【0038】次に、第1のゲート電極103A及びダミ

10

ーゲート電極103Bをマスクとして不純物を注入して低濃度不純物領域104を形成した後、第1のゲート電極103A、ダミーゲート電極103B及び抵抗体103Cにそれぞれサイドウォール105を形成する。次に、第1のゲート電極103A及びダミーゲート電極103Bと、サイドウォール105とをマスクとして不純物を注入してソース又はドレインとなる高濃度不純物領域106を形成した後、例えば化学気相成長（CVD）法により、半導体基板100の上に全面に亘って、例えば400nmの膜厚を持つシリコン酸化膜からなる第1の層間絶縁膜107を堆積する。

【0039】次に、図1（b）に示すように、例えば化学機械研磨（CMP）法により第1の層間絶縁膜107を平坦化して、第1のゲート電極103A、ダミーゲート電極103B及び抵抗体103Cの上面をそれぞれ露出させた後、半導体基板100の上に全面に亘って、例えば50nmの膜厚を持つシリコン窒化膜108を堆積する。

【0040】次に、図2（a）に示すように、シリコン窒化膜108の上にロジック周辺回路を覆うレジストパターン109を形成した後、該レジストパターン109をマスクとしてシリコン窒化膜108に対してエッ칭を行なって、シリコン窒化膜108からなるマスクパターン110を形成する。次に、マスクパターン110を用いて、例えばKOH等のアルカリ溶液からなるエッ칭液を用いるウェットエッ칭を行なうことによりダミーゲート電極103Bを除去した後、例えばHF溶液からなるエッ칭液を用いるウェットエッ칭を行なうことによりダミーゲート絶縁膜102Bを除去して、ロジック内部回路領域のサイドウォール105の内側に凹部111を形成する。

【0041】次に、図2（b）に示すように、半導体基板100の上に全面に亘って、例えば3nmの膜厚を持つ第2のシリコン酸化膜112を形成した後、例えばCVD法により、第2のシリコン酸化膜112に全面に亘って例えば窒化タンゲステン等の高融点金属の化合物からなり約10nmの膜厚を持つ第1の金属膜113を堆積した後、例えばCVD法により、第1の金属膜113の上に全面に亘って例えばタンゲステンからなり約120nmの膜厚を持つ第2の金属膜114を堆積する。

【0042】次に、図3（a）に示すように、例えばCMP法により、第2の金属膜114、第1の金属膜113及びマスクパターン110に対して、第1のゲート電極103Aの上面が露出するまで平坦化工程を行なって、ロジック内部回路領域のサイドウォール105の内側の凹部111に、第2のシリコン酸化膜112からなる第2のゲート絶縁膜115、第1の金属膜113からなるバリアメタル116及び第2の金属膜114からなる第2のゲート電極117を形成する。尚、平坦化工程においては、第1及び第2の金属膜113、114と、

マスクパターン110（シリコン窒化膜108）との間に選択比が存在しないような研磨剤を用いることが好ましい。

【0043】次に、図3（b）に示すように、半導体基板200の上に全面に亘ってシリコン酸化膜からなる第2の層間絶縁膜118を堆積した後、例えばCMP法により第2の層間絶縁膜118を平坦化する。次に、第2の層間絶縁膜118に、高濃度不純物領域106に接続する第1のコンタクト119を形成すると共に、抵抗体103Cと接続する第2のコンタクト120を形成した後、これら第1のコンタクト119及び第2のコンタクト120に接続する金属配線121を形成すると、ロジック周辺回路領域に第1のMOSFET及び抵抗体が形成されると共に、ロジック内部回路領域に第2のMOSFETが形成される。

【0044】第1の実施形態によると、ロジック周辺回路領域においては、7nmの膜厚を持つ第1のシリコン酸化膜からなり1回の工程で形成された第1のゲート絶縁膜102Aを有する第1のMOSFETが形成されると共に、ロジック内部回路領域においては、3nmの膜厚を持つ第2のシリコン酸化膜112からなり1回の工程で形成された第2のゲート絶縁膜115を有する第2のMOSFETが形成されるので、つまり、第1のゲート絶縁膜102A及び第2のゲート絶縁膜115はそれぞれ1回の工程で形成されるので、従来のように2回の工程で形成されるゲート絶縁膜に比べて信頼性が向上する。

【0045】また、ロジック内部回路領域に形成されるので高性能が要求される第2のゲート電極117は、抵抗値が低いと共にゲート絶縁膜との界面で空乏層が形成され難い第2の金属膜114により形成することができる。

【0046】また、ロジック周辺回路領域に形成されるので高性能が要求されない第1のゲート電極103Aは、或る程度の抵抗値が必要になる抵抗体103Cと共に、多結晶シリコン膜により同一の工程で形成することができるので、工程数の増加を招くことなく、抵抗体103Cを形成することができる。

【0047】尚、第1の実施形態においては、マスクパターン110はロジック周辺回路領域を全面に亘って覆っていたが、マスクパターン110は少なくとも第1のゲート電極102Aを覆っておればよい。

【0048】また、第2のゲート絶縁膜115は、第2のシリコン酸化膜112から形成したが、これに代えて、シリコン窒化膜を用いてもよい。

【0049】また、第2のゲート電極117は、タンゲステンからなる第2の金属膜114から形成したが、これに代えて、アルミニウム、銅、モリブデン、タンゲステンシリサイド又はこれらの金属の化合物からなる他の金属膜を用いてもよい。

【0050】（第2の実施形態）以下、本発明の第2の実施形態に係る半導体装置の製造方法として、メモリ回路領域に第1のMOSFETを形成すると共に、ロジック回路領域に第2のMOSFETを形成する方法について図4～図6を参照しながら説明する。

【0051】まず、図4（a）に示すように、シリコンからなる半導体基板200の表面部に素子分離領域201を形成する。次に、半導体基板200の上に全面に亘って、例えば7nmの膜厚を持つ第1のシリコン酸化膜、不純物がドーピングされた例えば50nm程度の膜厚を持つ多結晶シリコン膜、及びタンゲステンシリサイド等の高融点金属の化合物からなる第1の金属膜を順次形成した後、これら第1の金属膜、多結晶シリコン膜及び第1のシリコン酸化膜を順次バーニングして、メモリ回路領域に、第1のシリコン酸化膜からなる第1のゲート絶縁膜202A、及び多結晶シリコン膜203Aと第1の金属膜204Aとの積層体からなる第1のゲート電極を形成し、ロジック回路領域に、第1のシリコン酸化膜からなるダミーゲート絶縁膜202B、及び多結晶シリコン膜203Bと第1の金属膜204Bとの積層体からなるダミーゲート電極を形成する。

【0052】次に、第1のゲート電極（203A、204A）及びダミーゲート電極（203B、204B）をマスクとして不純物を注入して低濃度不純物領域205を形成した後、第1のゲート電極（203A、204A）及びダミーゲート電極（203B、204B）にそれぞれサイドウォール206を形成する。次に、第1のゲート電極（203A、204A）及びダミーゲート電極（203B、204B）と、サイドウォール206とをマスクとして不純物を注入してソース又はドレンとなる高濃度不純物領域207を形成した後、例えばCVD法により、半導体基板200の上に全面に亘って、例えば500nmの膜厚を持つシリコン酸化膜からなる層間絶縁膜208を堆積する。

【0053】次に、図4（b）に示すように、例えばCMP法により層間絶縁膜208を平坦化して、第1のゲート電極（203A、204A）及びダミーゲート電極（203B、204B）の上面をそれぞれ露出させた後、半導体基板200の上に全面に亘って、例えば50nmの膜厚を持つシリコン窒化膜209を堆積する。

【0054】次に、図5（a）に示すように、シリコン窒化膜209の上にメモリセル領域を覆うレジストパターン210を形成した後、該レジストパターン210をマスクとしてシリコン窒化膜209に対してエッチングを行なって、シリコン窒化膜209からなるマスクパターン211を形成する。次に、マスクパターン211を用いて、硫酸と過酸化水素との混合液からなるエッチング液を用いるウェットエッチングを行なって第1の金属膜204Bを除去した後、例えばKOH等のアルカリ溶液からなるエッチング液を用いるウェットエッチング

を行なって多結晶シリコン膜203Bを除去し、その後、HF溶液からなるエッチング液を用いるウェットエッチングを行なってダミーゲート絶縁膜202Bを除去することにより、ロジック回路領域のサイドウォール206の内側に凹部212を形成する。

【0055】次に、図5(b)に示すように、半導体基板200の上に全面に亘って、例えば3nmの膜厚を持つ第2のシリコン酸化膜213を形成した後、例えばCVD法により、第2のシリコン酸化膜213に全面に亘って例えば窒化タンゲスタン等の高融点金属の化合物からなり約10nmの膜厚を持つ第2の金属膜214を堆積した後、例えばCVD法により、第2の金属膜214の上に全面に亘って例えばタンゲスタンからなり約120の膜厚を持つ第3の金属膜215を堆積する。

【0056】次に、図6に示すように、例えばCMP法により、第3の金属膜215、第2の金属膜214及びマスクパターン211に対して、第1のゲート電極(203A、204A)の上面が露出するまで平坦化を行なって、ロジック回路領域のサイドウォール206の内側の凹部212に、第2のシリコン酸化膜213からなる第2のゲート絶縁膜216、第2の金属膜214からなるバリアメタル217及び第3の金属膜215からなる第2のゲート電極218を形成する。尚、平坦化工程においては、第2及び第3の金属膜214、215と、シリコン窒化膜209からなるマスクパターン211との間に選択比が存在しないような研磨剤を用いることが好ましい。

【0057】第2の実施形態によると、メモリ回路領域においては、7nmの膜厚を有する第1のシリコン酸化膜からなり1回の工程で形成される第1のゲート絶縁膜202Aを有する第1のMOSFETが形成されると共に、ロジック回路領域においては、3nmの膜厚を持つ第2のシリコン酸化膜213からなり1回の工程で形成される第2のゲート絶縁膜216を有する第2のMOSFETが形成されるので、つまり、第1のゲート絶縁膜202A及び第2のゲート絶縁膜216はそれぞれ1回の工程で形成されるので、従来のように2回の工程で形成されるゲート絶縁膜に比べて信頼性が向上する。

【0058】また、ロジック回路領域に形成されるので高性能が要求される第2のゲート電極218は、抵抗値が低いと共にゲート絶縁膜との界面で空乏層が形成され難い第3の金属膜215により形成することができる。

【0059】また、メモリ回路領域に形成されるので高性能が要求されない第1のゲート電極は、多結晶シリコン膜203Aと第1の金属膜204Aとの積層体により形成することができる。

【0060】従って、第2の実施形態によると、ロジック回路領域に、相対的に薄い膜厚を持つ第2のシリコン酸化膜213からなる第2のゲート絶縁膜216及び低抵抗な第3の金属膜218からなる第2のゲート電極2

50

18を有する第2のMOSFETを備えているため、信頼性の高いDRAM混載ロジックLSIを形成することができる。

【0061】また、第2の実施形態においては、多結晶シリコン膜203Aと第1の金属膜204Aとの積層体からなる第1のゲート電極を有する第1のMOSFETを備えているため、第1の実施形態に比べてゲート電極の抵抗値を低減することができる。

【0062】(第3の実施形態)以下、本発明の第3の実施形態に係る半導体装置の製造方法として、メモリ回路にフラッシュメモリ及び容量素子を形成すると共に、ロジック回路にMOSFETを形成する方法について図7～図9を参照しながら説明する。

【0063】まず、図7(a)に示すように、シリコンからなる半導体基板300の表面部に素子分離領域301を形成した後、半導体基板300の上に全面に亘って、例えば7nmの膜厚を持つ第1のシリコン酸化膜、及び不純物がドーピングされた例えば120nmの膜厚を持つ多結晶シリコン膜を順次形成する。次に、多結晶シリコン膜及び第1のシリコン酸化膜を順次パターニングして、メモリセル領域のフラッシュメモリ形成領域に、第1のシリコン酸化膜からなる第1層のゲート絶縁膜302A及び多結晶シリコン膜からなる浮遊ゲート電極303Aを形成し、ロジック回路領域に、第1のシリコン酸化膜からなるダミーゲート絶縁膜302B及び多結晶シリコン膜からなるダミーゲート電極303Bを形成し、メモリセル領域の容量素子形成領域に、第1のシリコン酸化膜からなる容量素子絶縁膜302C及び多結晶シリコン膜からなる容量下部電極303Cを形成する。

【0064】次に、浮遊ゲート電極303A及びダミーゲート電極303Bをマスクとして不純物を注入して低濃度不純物領域304を形成した後、浮遊ゲート電極303A、ダミーゲート電極303B及び容量下部電極303Cにそれぞれサイドウォール305を形成する。次に、浮遊ゲート電極303A及びダミーゲート電極303Bと、サイドウォール305とをマスクとして不純物を注入してソース又はドレインとなる高濃度不純物領域306を形成した後、例えばCVD法により、半導体基板300の上に全面に亘って、例えば400nmの膜厚を持つシリコン酸化膜からなる層間絶縁膜307を堆積する。

【0065】次に、図7(b)に示すように、例えばCMP法により層間絶縁膜307を平坦化して、浮遊ゲート電極303A、ダミーゲート電極303B及び容量下部電極303Cの上面をそれぞれ露出させた後、半導体基板300の上に全面に亘って、例えば10nmの膜厚を持つシリコン窒化膜308を堆積する。

【0066】次に、図8(a)に示すように、シリコン窒化膜308の上にメモリセル領域を覆うレジストバタ

ーン309を形成した後、該レジストパターン309をマスクとしてシリコン窒化膜308に対してエッチングを行なって、シリコン窒化膜308からなるマスクパターン310を形成する。次に、マスクパターン310を用いて、例えばKOH等のアルカリ溶液からなるエッチング液を用いるウェットエッチングを行なうことによりダミーゲート電極303Bを除去した後、HF溶液からなるエッチング液を用いるウェットエッチングを行なってダミーゲート絶縁膜302Bを除去することにより、ロジック回路領域のサイドウォール305の内側に凹部311を形成する。このウェットエッチング工程においては、マスクパターン310が除去されないようなエッチング液を用いることが好ましい。

【0067】次に、図8(b)に示すように、半導体基板300の上に全面に亘って、例えば3nmの膜厚を持つ第2のシリコン酸化膜312を形成した後、例えばCVD法により、第2のシリコン酸化膜312に全面に亘って例えば窒化タンクス等の高融点金属の化合物からなり約10nmの膜厚を持つ第1の金属膜313を堆積した後、例えばCVD法により、第1の金属膜313の上に全面に亘って例えばタンクス等からなり約120nmの膜厚を持つ第2の金属膜314を堆積する。

【0068】次に、第2の金属膜314、第1の金属膜313、第2のシリコン酸化膜312及びマスクパターン310(シリコン窒化膜308)を所定形状にそれぞれパーニングして、メモリセル領域のフラッシュメモリ形成領域に、シリコン窒化膜308及び第2のシリコン酸化膜312からなる第2層のゲート絶縁膜315、第1の金属膜313からなる第1のバリアメタル316及び第2の金属膜314からなる制御電極317を形成し、ロジック回路領域に、第2のシリコン酸化膜312からなるゲート絶縁膜318、第1の金属膜313からなる第2のバリアメタル319及び第2の金属膜314からなるゲート電極320を形成し、メモリセル領域の容量素子形成領域に、シリコン窒化膜308及び第2のシリコン酸化膜312からなる容量絶縁膜321、第1の金属膜313からなる第3のバリアメタル322及び第2の金属膜314からなる容量上部電極323を形成する。

【0069】第3の実施形態によると、メモリセル領域においては、フラッシュメモリの第1層のゲート絶縁膜302Aは、1回の工程で形成され且つ7nmの膜厚を持つ第1のシリコン酸化膜からなるため、信頼性が向上し、また、第2層のゲート絶縁膜315は、シリコン窒化膜308及び第2のシリコン酸化膜312の積層体からなるため、信頼性が向上するので、フラッシュメモリの信頼性が向上する。

【0070】ロジック回路領域においては、3nmの膜厚を持つ第2のシリコン酸化膜312からなり1回の工程で形成されたゲート絶縁膜318を有するMOSFE

Tが形成されるので、従来のように2回の工程で形成されるゲート絶縁膜に比べて信頼性が向上する。

【0071】また、ロジック回路領域に形成されるので高性能が要求されるMOSFETのゲート電極320は、抵抗値が低いと共にゲート絶縁膜との界面で空乏層が形成されない第2の金属膜314により形成されている。

【0072】また、容量素子を構成する容量絶縁膜321は、シリコン窒化膜308と第2のシリコン酸化膜312との積層体により形成したので、容量素子の信頼性も確保できる。

【0073】さらに、メモリセル領域においては、浮遊ゲート電極303Aは容量下部電極303Cと共に、第2層のゲート絶縁膜315は容量絶縁膜321と共に、制御電極317は容量上部電極323と共に、それぞれ同一の工程で形成することができるので、工程数の増加を招くことなく容量素子を形成することができる。

【0074】

【発明の効果】第1の半導体装置によると、第1のMOSFETは高い電圧による駆動が可能になると共に、第2のMOSFETは、低い電圧による駆動が可能になると共にゲート絶縁膜の界面における空乏化が防止できるためゲート電極の高性能化を図ることができるので、要求される性能が異なる2つのMOSFETを1つの半導体基板上に高い信頼性を持って形成することができる。

【0075】第1の半導体装置において、第1のMOSFETがロジック回路の周辺回路領域に形成されており、第2のMOSFETがロジック回路の内部回路領域に形成されていると、ロジック回路の周辺回路において要求される高い電圧による駆動を実現できると共に、ロジックの内部回路に要求される、低い電圧による駆動及びトランジスタの高性能化を同時に実現することができる。

【0076】第1の半導体装置において、第1のMOSFETがメモリセル領域に形成されており、第2のMOSFETがロジック回路領域に形成されていると、メモリセルにおいて要求される、リーク電流に起因するポーズタイム(メモリセル1個当たりの電荷保持時間)の低減の防止を実現できると共に、ロジック回路において要求されるMOSFETの高性能化を同時に実現することができる。

【0077】第1の半導体装置において、第1のゲート電極を構成する多結晶シリコン膜と同一の工程で形成された多結晶シリコン膜からなる抵抗体を備えていると、工程数の増加を招くことなく抵抗体を設けることができる。

【0078】第1の半導体装置において、第1のゲート絶縁膜がシリコン酸化膜からなると共に、第2のゲート絶縁膜がシリコン窒化酸化膜からなると、第2のゲート絶縁膜の一層の薄膜化と信頼性の向上とを図ることができ

きるので、第2のMOSFETの性能を一層向上させることができると。

【0079】第2の半導体装置によると、第1のMOSFETはゲート電極の低抵抗化及び高耐圧化を実現できると共に、第2のMOSFETは、低い電圧による駆動が可能になると共にゲート絶縁膜の界面における空乏化が防止できるためゲート電極の高性能化を図ることができるので、要求される性能が異なる2つのMOSFETを1つの半導体基板上に高い信頼性を持って形成することができる。

【0080】第2の半導体装置において、第1のMOSFETが半導体基板におけるメモリセル領域に形成されており、第2のMOSFETが半導体基板におけるロジック回路に形成されていると、メモリセル領域においては、ゲート電極の低抵抗化及び高耐圧化を実現することができると共に、ロジック回路においては、トランジスタの高性能化を図ることができる。

【0081】第1の半導体装置の製造方法によると、1つの半導体基板の上に、相対的に大きい膜厚を持つ第1のゲート絶縁膜と、多結晶シリコン膜からなる第1のゲート電極とを有する第1のMOSFET、及び、相対的に小さい膜厚を持つ第1のゲート絶縁膜と、金属膜からなる第2のゲート電極とを有する第2のMOSFETを形成することができるので、要求される性能が互いに異なる2つのMOSFETを1つの半導体基板上に高い信頼性を持って確実に形成することができる。

【0082】また、第1のMOSFETの第1のゲート絶縁膜は、1回の工程で形成される第1の絶縁膜をパターニングすることにより形成されるので、従来のように2回の工程で形成されるゲート絶縁膜に比べて信頼性が向上する。

【0083】第1の半導体装置の製造方法において、パターニング工程が、第1のゲート絶縁膜及び第1のゲート電極をロジック回路の周辺回路に形成すると共に、ダメー絶縁膜及びダメーゲート電極をロジック回路の内部回路に形成する工程を含むと、ロジック回路の周辺回路には、高い電圧による駆動を実現できる第1のMOSFETを形成することができると共に、ロジックの内部回路には、低い電圧による駆動及びトランジスタの高性能化を同時に実現できる第2のMOSFETを形成することができる。

【0084】第1の半導体装置の製造方法において、パターニング工程が、第1のゲート絶縁膜及び第1のゲート電極をメモリセル領域に形成すると共に、ダメー絶縁膜及びダメーゲート電極をロジック回路領域に形成する工程を含むと、メモリセル領域には、リーク電流に起因するポーズタイムの低減の防止を実現できる第1のMOSFETを形成することができると共に、ロジック回路には、高性能な第2のMOSFETを形成することができる。

【0085】第1の半導体装置の製造方法において、パターニング工程が、多結晶シリコン膜及び第1の絶縁膜をパターニングして、第1の絶縁膜からなる抵抗絶縁膜及び多結晶シリコン膜からなる抵抗体を形成する工程を含むと、工程数の増加を招くことなく抵抗体を形成することができる。

【0086】第1の半導体装置の製造方法において、第1の絶縁膜がシリコン酸化膜であり、第2の絶縁膜がシリコン窒化酸化膜であると、第2のゲート絶縁膜の一層の薄膜化と信頼性の向上とを図ることができるので、第2のMOSFETの性能を一層向上させることができると。

【0087】第1の半導体装置の製造方法において、エッティング工程が、ウェットエッティングによりダメーゲート電極及びダメーゲート絶縁膜を除去する工程を含むと、半導体基板におけるチャネルとなる領域がダメージを受ける事態を回避することができる。

【0088】第2の半導体装置の製造方法によると、相対的に大きい膜厚を持つ第1層のゲート絶縁膜及び第2の絶縁膜及び第3の絶縁膜の積層体からなる第2層のゲート絶縁膜を有するフラッシュメモリを形成できるので、フラッシュメモリの信頼性が向上する。

【0089】また、相対的に小さい膜厚を持つゲート絶縁膜及び金属膜からなるゲート電極を有するMOSFETを形成できるので、MOSFETの高性能化を実現することができる。また、MOSFETのゲート絶縁膜は、1回の工程で形成される第1の絶縁膜をパターニングすることにより形成されるので、従来のように2回の工程で形成されるゲート絶縁膜に比べて信頼性が向上する。

【0090】第2の半導体装置の製造方法において、エッティング工程が、ダメーゲート電極及びダメーゲート絶縁膜をウェットエッティングにより除去する工程を含むと、半導体基板におけるチャネルとなる領域がダメージを受ける事態を回避することができる。

【0091】第2の半導体装置の製造方法において、多結晶シリコン膜及び第1の絶縁膜をパターニングして、第1の絶縁膜からなる容量素子絶縁膜及び多結晶シリコン膜からなる容量下部電極を形成すると共に、第2の絶縁膜、第3の絶縁膜及び金属膜をパターニングして、第2の絶縁膜及び第3の絶縁膜からなる容量絶縁膜及び金属膜からなる容量上部電極を形成すると、工程数の増加を招くことなく、信頼性の高い容量素子を形成することができる。

【図面の簡単な説明】

【図1】(a)及び(b)は、本発明の第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図2】(a)及び(b)は、本発明の第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

る。

【図3】(a)及び(b)は、本発明の第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図4】(a)及び(b)は、本発明の第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図5】(a)及び(b)は、本発明の第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図6】本発明の第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図7】(a)及び(b)は、本発明の第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図8】(a)及び(b)は、本発明の第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図9】本発明の第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

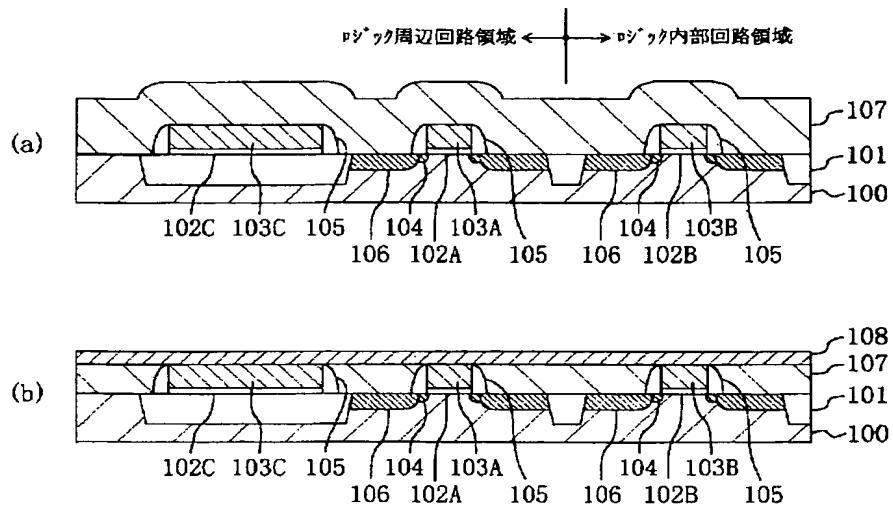
【図10】(a)～(c)は従来の半導体装置の製造方法の各工程を示す断面図である。

【符号の説明】

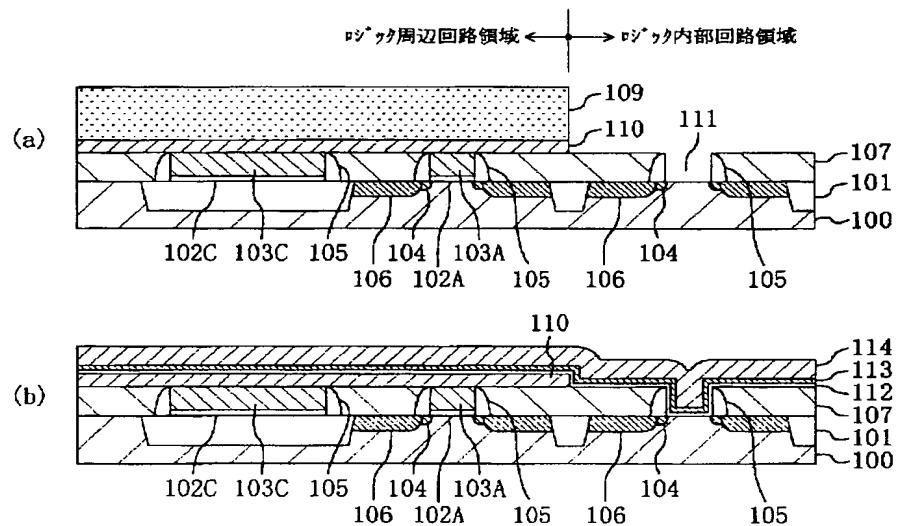
- 100 半導体基板
- 101 素子分離領域
- 102 A 第1のゲート絶縁膜
- 102 B ダミーゲート絶縁膜
- 102 C 抵抗絶縁膜
- 103 A 第1のゲート電極
- 103 B ダミーゲート電極
- 103 C 抵抗体
- 104 低濃度不純物領域
- 105 サイドウォール
- 106 高濃度不純物領域
- 107 第1の層間絶縁膜
- 108 シリコン窒化膜
- 109 レジストパターン
- 110 マスクパターン
- 111 凹部
- 112 第2のシリコン酸化膜
- 113 第1の金属膜
- 114 第2の金属膜
- 115 第2のゲート絶縁膜
- 116 バリアメタル
- 117 第2のゲート電極
- 118 第2の層間絶縁膜
- 119 第1のコンタクト
- 120 第2のコンタクト
- 121 金属配線
- 200 半導体基板

- 201 素子分離領域
- 202 A 第1のゲート絶縁膜
- 202 B ダミーゲート絶縁膜
- 203 A 多結晶シリコン膜(第1のゲート電極)
- 203 B 多結晶シリコン膜(ダミーゲート電極)
- 204 A 第1の金属膜(第1のゲート電極)
- 204 B 第1の金属膜(ダミーゲート電極)
- 205 低濃度不純物領域
- 206 サイドウォール
- 207 高濃度不純物領域
- 208 層間絶縁膜
- 209 シリコン窒化膜
- 210 レジストパターン
- 211 マスクパターン
- 212 凹部
- 213 第2のシリコン酸化膜
- 214 第2の金属膜
- 215 第3の金属膜
- 216 第2のゲート絶縁膜
- 217 バリアメタル
- 218 第2のゲート電極
- 300 半導体基板
- 301 素子分離領域
- 302 A 第1層のゲート絶縁膜
- 302 B ダミーゲート絶縁膜
- 302 C 容量素子絶縁膜
- 303 A 浮遊ゲート電極
- 303 B ダミーゲート電極
- 303 C 容量下部電極
- 304 低濃度不純物領域
- 305 サイドウォール
- 306 高濃度不純物領域
- 307 層間絶縁膜
- 308 シリコン窒化膜
- 309 レジストパターン
- 310 マスクパターン
- 311 凹部
- 312 第2のシリコン酸化膜
- 313 第1の金属膜
- 314 第2の金属膜
- 315 第2層のゲート絶縁膜
- 316 第1のバリアメタル
- 317 制御電極
- 318 ゲート絶縁膜
- 319 第2のバリアメタル
- 320 ゲート電極
- 321 容量絶縁膜
- 322 第3のバリアメタル
- 323 容量上部電極

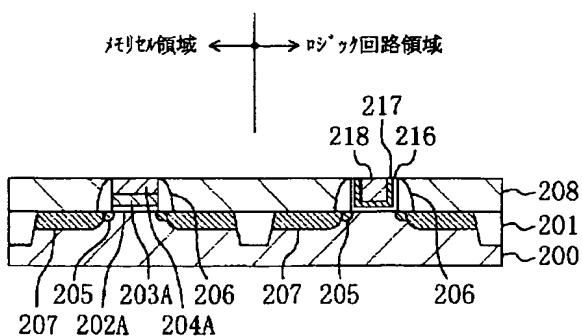
【図1】



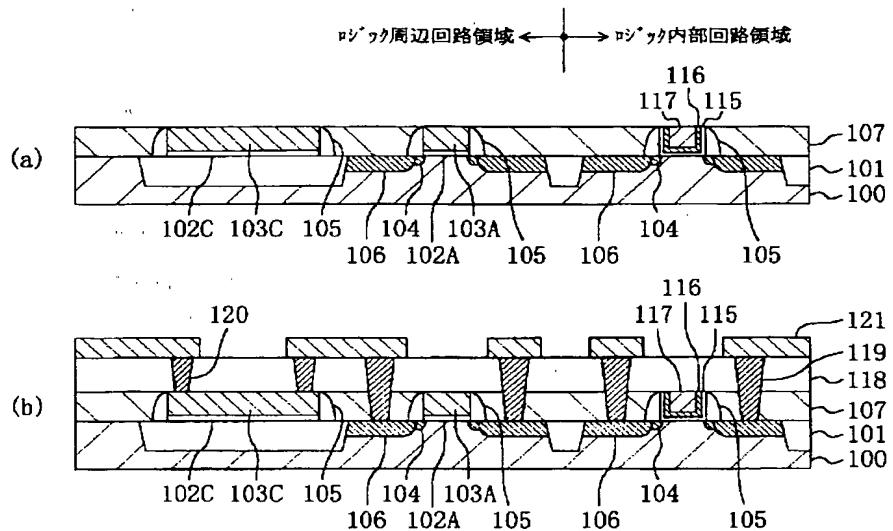
【図2】



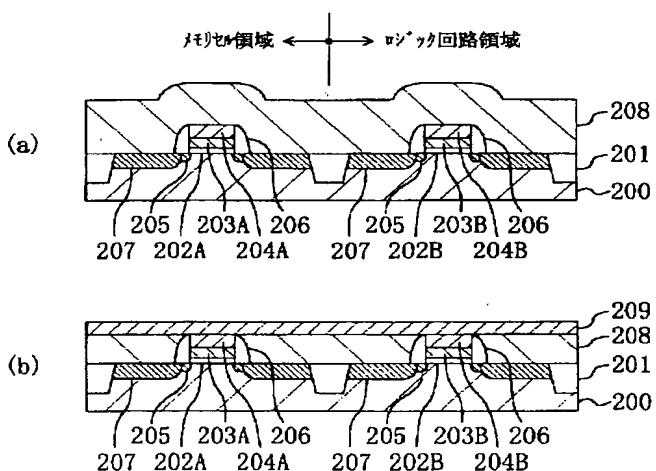
【図6】



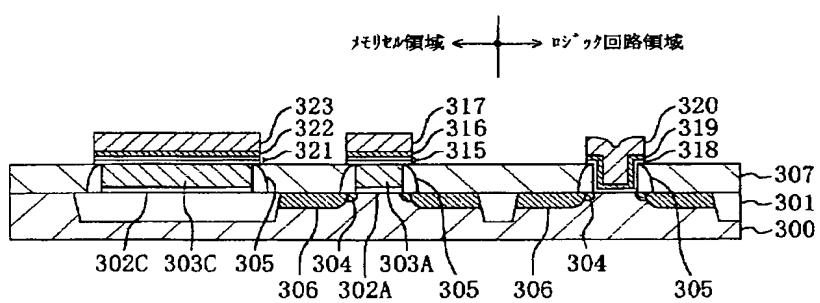
【図3】



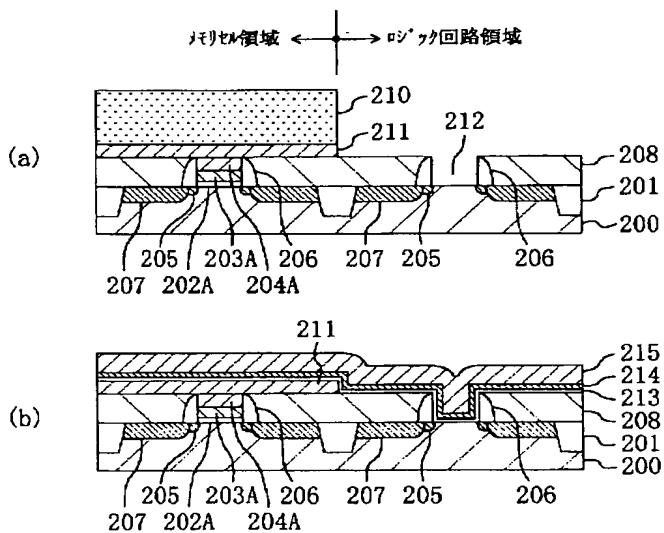
【図4】



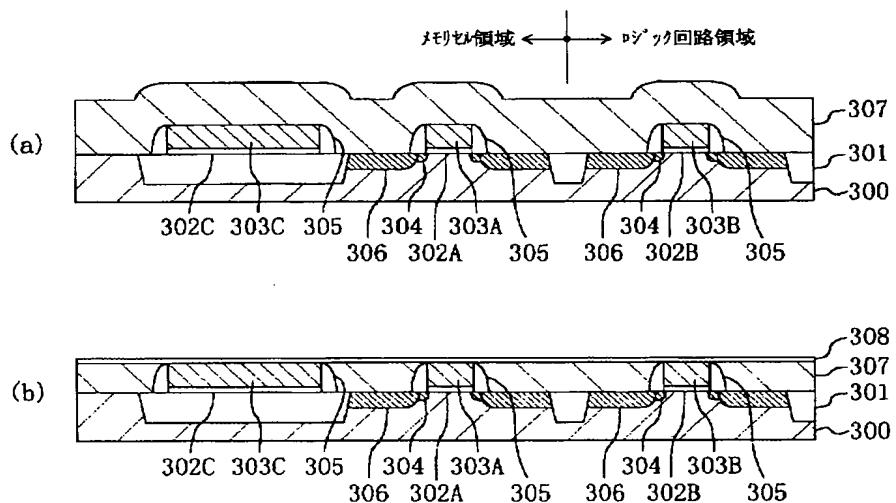
【図9】



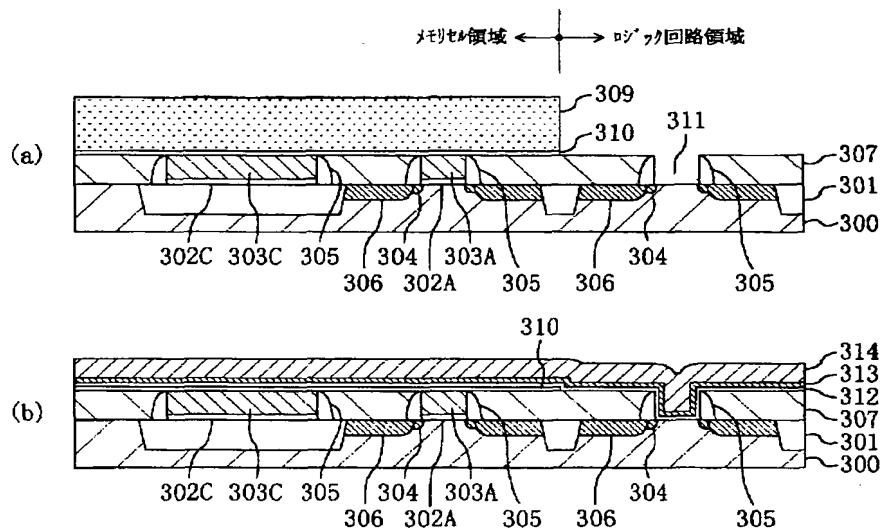
【図5】



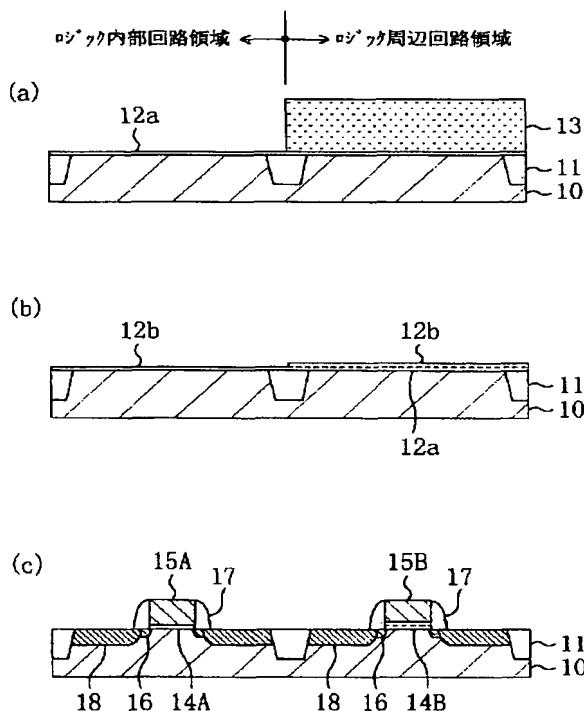
【図7】



【図8】



【図10】



【手続補正書】

【提出日】平成11年11月19日(1999.11.19)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 半導体基板上に形成された相対的に大きい膜厚を持つ第1のゲート絶縁膜と、該第1のゲート絶縁膜の上に形成された多結晶シリコン膜からなる第1のゲート電極とを有する第1のMOSFETと、前記半導体基板上に形成された相対的に小さい膜厚を持つ第2のゲート絶縁膜と、該第2のゲート絶縁膜の上に形成された金属膜からなる第2のゲート電極と、前記第2のゲート絶縁膜と前記第2のゲート電極との間に形成され、前記第2のゲート電極の側面及び底面を覆うバリアメタルとを有する第2のMOSFETとを備えていることを特徴とする半導体装置。

【請求項2】 前記第1のMOSFETは、前記半導体基板におけるロジック回路の周辺回路領域に形成されており、

前記第2のMOSFETは、前記半導体基板におけるロジック回路の内部回路領域に形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第1のMOSFETは、前記半導体基板におけるメモリセル領域に形成されており、

前記第2のMOSFETは、前記半導体基板におけるロジック回路領域に形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記第1のゲート電極を構成する多結晶シリコン膜と同一の工程で形成された多結晶シリコン膜からなる抵抗体をさらに備えていることを特徴とする請求項1に記載の半導体装置。

【請求項5】 前記第1のゲート絶縁膜はシリコン酸化膜からなると共に、前記第2のゲート絶縁膜はシリコン窒化酸化膜からなることを特徴とする請求項1に記載の半導体装置。

【請求項6】 半導体基板上に形成された相対的に大きい膜厚を持つ第1のゲート絶縁膜と、該第1のゲート絶縁膜の上に形成された、下層の多結晶シリコン膜と、高融点金属又は高融点金属の化合物よりなる上層の金属膜との積層体からなる第1のゲート電極とを有する第1のMOSFETと、

前記半導体基板上に形成された相対的に小さい膜厚を持つ第2のゲート絶縁膜と、該第2のゲート絶縁膜の上に形成された金属膜からなる第2のゲート電極と、前記第2のゲート絶縁膜と前記第2のゲート電極との間に形成され、前記第2のゲート電極の側面及び底面を覆うバリ

アメタルとを有する第2のMOSFETとを備えていることを特徴とする半導体装置。

【請求項7】 前記第1のMOSFETは、前記半導体基板におけるメモリセル領域に形成されており、前記第2のMOSFETは、前記半導体基板におけるロジック回路に形成されていることを特徴とする請求項6に記載の半導体装置。

【請求項8】 半導体基板上に、相対的に大きい膜厚を持つ第1の絶縁膜、及び多結晶シリコン膜を順次形成する第1の膜形成工程と、

前記多結晶シリコン膜及び第1の絶縁膜をパターニングして、前記第1の絶縁膜からなる第1のMOSFETの第1のゲート絶縁膜及びダミーゲート絶縁膜、並びに前記多結晶シリコン膜からなる第1のMOSFETの第1のゲート電極及びダミーゲート電極を形成するパターニング工程と、

前記第1のゲート電極及びダミーゲート電極にそれぞれサイドウォールを形成するサイドウォール形成工程と、前記半導体基板の上に全面に亘って層間絶縁膜を堆積した後、該層間絶縁膜における前記第1のゲート電極及びダミーゲート電極の上側の部分を除去して、前記第1のゲート電極及びダミーゲート電極を露出させる絶縁膜除去工程と、

前記層間絶縁膜の上に、前記第1のゲート電極を覆う一方、前記ダミーゲート電極を露出させるマスクパターンを形成した後、該マスクパターンを用いてエッチングすることにより、前記ダミーゲート電極及びダミーゲート絶縁膜を除去して前記ダミーゲート電極のサイドウォールの内側に凹部を形成するエッチング工程と、

前記半導体基板の上に全面に亘って、相対的に小さい膜厚を持つ第2の絶縁膜、及び金属膜を、前記凹部が充填されるように順次形成する第2の膜形成工程と、

前記マスクパターン、第2の絶縁膜及び金属膜における前記凹部の外側の部分を除去することにより、前記第2の絶縁膜からなる第2のMOSFETの第2のゲート絶縁膜及び前記金属膜からなる第2のMOSFETの第2のゲート電極を形成する膜除去工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項9】 前記パターニング工程は、前記第1のゲート絶縁膜及び第1のゲート電極を前記半導体基板におけるロジック回路の周辺回路領域に形成すると共に、前記ダミーアル及ダミーゲート電極を前記半導体基板におけるロジック回路の内部回路領域に形成する工程を含むことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】 前記パターニング工程は、前記第1のゲート絶縁膜及び第1のゲート電極を前記半導体基板におけるメモリセル領域に形成すると共に、前記ダミーアル及ダミーゲート電極を前記半導体基板におけるロジック回路の周辺回路領域に形成する工程を含むことを特徴とする請求項8に記載の半導体装置の製造方法。

ジック回路領域に形成する工程を含むことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項11】 前記パターニング工程は、前記多結晶シリコン膜及び第1の絶縁膜をパターニングして、前記第1の絶縁膜からなる抵抗絶縁膜及び前記多結晶シリコン膜からなる抵抗体を形成する工程を含むことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項12】 前記第1の膜形成工程は、前記第1の絶縁膜としてシリコン酸化膜を形成する工程を含み、前記第2の膜形成工程は、前記第2の絶縁膜としてシリコン窒化酸化膜を形成する工程を含むことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項13】 前記エッティング工程は、ウェットエッティングにより前記ダミーゲート電極及びダミーゲート絶縁膜を除去する工程を含むことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項14】 半導体基板上に、相対的に大きい膜厚を持つ第1の絶縁膜、及び多結晶シリコン膜を順次形成する第1の膜形成工程と、

前記多結晶シリコン膜及び第1の絶縁膜をパターニングして、前記第1の絶縁膜からなるフラッシュメモリの第1層のゲート絶縁膜及びダミーゲート絶縁膜、並びに前記多結晶シリコン膜からなるフラッシュメモリの浮遊ゲート電極及びダミーゲート電極を形成する第1のパターニング工程と、

前記浮遊ゲート電極及びダミーゲート電極にそれぞれサイドウォールを形成するサイドウォール形成工程と、

前記半導体基板の上に全面に亘って層間絶縁膜を堆積した後、該層間絶縁膜における前記浮遊ゲート電極及びダミーゲート電極の上側の部分を除去して、前記浮遊ゲート電極及びダミーゲート電極を露出させる絶縁膜除去工程と、

前記層間絶縁膜の上に、前記浮遊ゲート電極を覆う一方、前記ダミーゲート電極を露出させる第2の絶縁膜を形成した後、該第2の絶縁膜を用いてエッティングを行なうことにより、前記ダミーゲート電極及びダミーゲート絶縁膜を除去して前記ダミーゲート電極のサイドウォールの内側に凹部を形成するエッティング工程と、前記半導体基板の上に全面に亘って、相対的に小さい膜厚を持つ第3の絶縁膜、及び金属膜を、前記凹部が充填されるように順次形成する第2の膜形成工程と、前記第2の絶縁膜、第3の絶縁膜及び金属膜をパターニングすることにより、前記第2の絶縁膜及び第3の絶縁膜からなるフラッシュメモリの第2層のゲート絶縁膜、前記第3の絶縁膜からなるMOSFETのゲート絶縁膜、前記金属膜からなるフラッシュメモリの制御電極、並びに前記金属膜からなるMOSFETのゲート電極をそれぞれ形成する第2のパターニング工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項15】 前記エッティング工程は、前記ダミーゲート電極及びダミーゲート絶縁膜をウェットエッティングにより除去する工程を含むことを特徴とする請求項14に記載の半導体装置の製造方法。

【請求項16】 前記第1のパターニング工程は、前記多結晶シリコン膜及び第1の絶縁膜をパターニングして、前記第1の絶縁膜からなる容量素子絶縁膜及び前記多結晶シリコン膜からなる容量下部電極を形成する工程を含み、

前記第2のパターニング工程は、前記第2の絶縁膜、第3の絶縁膜及び金属膜をパターニングして、前記第2の絶縁膜及び第3の絶縁膜からなる容量絶縁膜及び前記金属膜からなる容量上部電極を形成する工程を含むことを特徴とする請求項14に記載の半導体装置の製造方法。

フロントページの続き

F ターム (参考) 5F048 AA01 AA05 AA07 AA09 AB01
 AC03 AC10 BA01 BB05 BB07
 BB09 BB10 BB11 BB13 BB16
 BC06 BF02 BF07 BF11 DA25